

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-178110

(43)Date of publication of application : 30.06.1998

(51)Int.Cl.

H01L 21/8244

H01L 27/11

H01L 21/8238

H01L 27/092

H01L 29/78

(21)Application number : 08-339345

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 19.12.1996

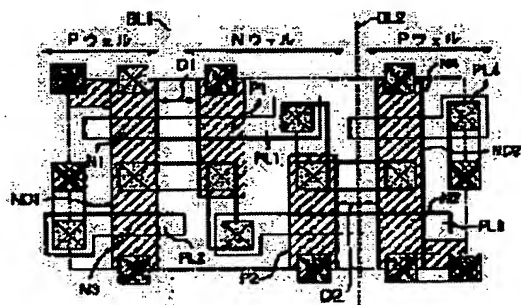
(72)Inventor : HARA HIROYUKI
MATSUI MASAKI

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a layout structure of a semiconductor storage device whose element area is reduced, by using a trench element separation technique and such a newest process technique as stacked via structure, to obtain a metal wiring layer structure of three layers or more.

SOLUTION: In a P-well region and an N-well region in which an inverter, constituting a SRAM cell (static random access memory), is formed, the P-well region is divided into two sections and they are placed on both sides of the N-well region, and boundary lines BL1 and BL2 are so formed as to run in parallel with bit lines BL₁/BL₂. By employing such a layout as above, diffusion layers ND1 and ND2 in the P-well region are provided with a simple form with no bent part, and a cell area is reduced.



LEGAL STATUS

[Date of request for examination] 03.03.2000

[Date of sending the examiner's decision of rejection] 29.07.2003

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3523762

[Date of registration] 20.02.2004

[Number of appeal against examiner's decision of rejection] 2003-16535

[Date of requesting appeal against examiner's decision of rejection] 28.08.2003

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 10 - 178110

(43) 公開日 平成 10 年 (1998) 6 月 30 日

(51) Int. Cl. °	識別記号	庁内整理番号	F I	技術表示箇所
H01L 21/8244			H01L 27/10	381
27/11			27/08	321 K
21/8238			29/78	301 C
27/092				
29/78				

審査請求 未請求 請求項の数 11 O L (全 11 頁)

(21) 出願番号 特願平 8 - 339345
(22) 出願日 平成 8 年 (1996) 12 月 19 日

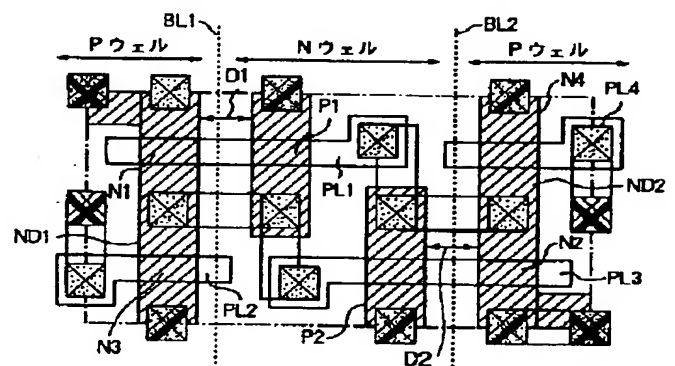
(71) 出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町 72 番地
(72) 発明者 原 浩 幸
神奈川県川崎市幸区堀川町 580 番 1 号
株式会社東芝半導体システム技術センター
内
(72) 発明者 松 井 正 貴
神奈川県川崎市幸区堀川町 580 番 1 号
株式会社東芝半導体システム技術センター
内
(74) 代理人 弁理士 佐藤 一雄 (外 3 名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 従来の SRAM セルでは、拡散層に折れ曲り部が存在するなどのレイアウト上無駄な面積が必要であった。

【解決手段】 SRAM セルを構成するインバータが形成された P ウェル領域及び N ウェル領域に関し、P ウェル領域が 2 つに分割されて N ウェル領域の両側に配置され、境界線 BL1、BL2 がビット線 BL、/BL に平行に走るように形成されており、このようなレイアウトにすることで P ウェル領域内の拡散層 ND1、ND2 が折れ曲り部のない簡易な形状となり、セル面積が縮小される。



【特許請求の範囲】

【請求項 1】第 1 の N チャンネル型 MOS トランジスタと第 1 の P チャンネル型 MOS トランジスタとを含む第 1 のインバータと、

第 2 の N チャンネル型 MOS トランジスタと第 2 の P チャンネル型 MOS トランジスタとを含み、前記第 1 のインバータの出力端子に入力端子が接続され、前記第 1 のインバータの入力端子に出力端子が接続された第 2 のインバータと、

前記第 1 のインバータの出力端子にソースが接続され、第 1 のビット線にドレインが接続され、ワード線にゲートが接続された第 3 の N チャンネル型 MOS トランジスタと、

前記第 2 のインバータの出力端子にソースが接続され、第 2 のビット線にドレインが接続され、前記ワード線にゲートが接続された第 4 の N チャンネル型 MOS トランジスタとを備え、

前記第 1、第 2、第 3 及び第 4 の N チャンネル形 MOS トランジスタと前記第 1 及び第 2 の P チャンネル形 MOS トランジスタのそれぞれのソース・ドレインの配置方向が、前記第 1、第 2、第 3 及び第 4 の N チャンネル形 MOS トランジスタが形成された P ウェル領域と前記第 1 及び第 2 の P チャンネル形 MOS トランジスタが形成された N ウェル領域との境界線と平行になるように設定されていることを特徴とする半導体記憶装置。

【請求項 2】前記 P ウェル領域は、第 1、第 2 のウェル領域から成り、前記第 1、第 2 の P チャンネル形 MOS トランジスタが配置された N ウェル領域の両側に、この第 1、第 2 の P ウェル領域が配置されており、

前記第 1 の P ウェル領域に前記第 1、第 3 の N チャンネル形 MOS トランジスタが形成され、前記第 2 の P ウェル領域に前記第 2、第 4 の N チャンネル形 MOS トランジスタが形成されていることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】前記第 3 の N チャンネル形 MOS トランジスタのゲートに用いられる第 1 の多結晶シリコン配線層と、前記第 1 の N チャンネル形 MOS トランジスタのゲートと前記第 1 の P チャンネル形 MOS トランジスタのゲートとに用いられる第 2 の多結晶シリコン配線層とが平行に配置され、

前記第 4 の N チャンネル形 MOS トランジスタのゲートに用いられる第 3 の多結晶シリコン配線層と、前記第 2 の N チャンネル形 MOS トランジスタのゲートと前記第 2 の P チャンネル形 MOS トランジスタのゲートとに用いられる第 4 の多結晶シリコン配線層とが平行に配置され、前記第 1 の多結晶シリコン配線層と前記第 3 の多結晶シリコン配線層とは分離して形成され、前記ワード線を構成する金属配線層とコンタクトを介して電氣的に接続されることを特徴とする請求項 3 記載の半導体記憶装置。

【請求項 4】前記第 1、第 2、第 3 及び第 4 の N チャン

ル形 MOS トランジスタと前記第 1 及び第 2 の P チャンネル形 MOS トランジスタのそれぞれのソース・ドレインの配置方向が、前記ビット線に平行になるように設定されていることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体記憶装置。

【請求項 5】前記第 2 の多結晶シリコン配線層と前記第 3 の多結晶シリコン配線層とは前記ワード線方向に沿って一直線上に並ぶように配置され、

前記第 1 の多結晶シリコン配線層と前記第 4 の多結晶シリコン配線層とは前記ワード線方向に沿って一直線上に並ぶように配置されていることを特徴とする請求項 3 記載の半導体記憶装置。

【請求項 6】前記第 1 の N チャンネル形 MOS トランジスタと前記第 3 の N チャンネル形 MOS トランジスタとは、前記第 1 の P ウェル領域内の同一の拡散層に形成され、前記第 2 の N チャンネル形 MOS トランジスタと前記第 4 の N チャンネル形 MOS トランジスタとは、前記第 2 の P ウェル領域内の同一の拡散層に形成されていることを特徴とする請求項 3 乃至 5 のいずれかに記載の半導体記憶装置。

【請求項 7】前記第 1、第 3 の N チャンネル形 MOS トランジスタ及び前記第 1 の P チャンネル形 MOS トランジスタと、前記第 2、第 4 の N チャンネル形 MOS トランジスタ及び前記第 1 の P チャンネル形 MOS トランジスタとは、メモリセルの中心に対して点対称の関係になるように配置されていることを特徴とする請求項 1 乃至 6 記載の半導体記憶装置。

【請求項 8】前記第 1、第 2 のビット線と、前記第 1、第 2 の P チャンネル形 MOS トランジスタのソースに接続された電源線とが第 2 層金属配線層で構成され、前記ワード線と前記第 1、第 2 の N チャンネル形 MOS トランジスタのソースに接続された接地線とが第 3 層金属配線層で構成されていることを特徴とする請求項 5 乃至 7 記載の半導体記憶装置。

【請求項 9】前記第 3 の N チャンネル形 MOS トランジスタのゲートに用いられる第 1 の多結晶シリコン配線層と、前記第 1 の N チャンネル形 MOS トランジスタのゲートと前記第 1 の P チャンネル形 MOS トランジスタのゲートとに用いられる第 2 の多結晶シリコン配線層とが平行に配置され、

前記第 4 の N チャンネル形 MOS トランジスタのゲートに用いられる第 3 の多結晶シリコン配線層と、前記第 2 の N チャンネル形 MOS トランジスタのゲートと前記第 2 の P チャンネル形 MOS トランジスタのゲートとに用いられる第 4 の多結晶シリコン配線層とが平行に配置され、前記ワード線が第 1、第 2 の金属配線層に分離して形成され、

前記第 1 の多結晶シリコン配線層と前記第 3 の多結晶シリコン配線層とは分離して形成されており、金属配線層とコンタクトを介して、前記第 1、第 2 の金属配線層に

10

20

30

40

50

それぞれ電氣的に接続されることを特徴とする請求項 8 記載の半導体記憶装置。

【請求項 10】前記第 1、第 2 のビット線にはそれぞれ独立して第 1、第 2 のセンスアンプが接続されており、書き込み時には、同一セル内の前記第 1、第 2 のワード線が同時に選択され、

読み出し時には、前記第 1、第 2 のワード線が独立して異なるセルを選択し、前記第 1、第 2 のビット線を介して前記第 1、第 2 のセンスアンプからそれぞれのセルから読み出されたデータを出力することを特徴とする請求項 9 記載の半導体記憶装置。

【請求項 11】第 1 の N チャンネル形 MOS トランジスタと第 1 の P チャンネル形 MOS トランジスタとを含む第 1 のインバータと、

第 2 の N チャンネル形 MOS トランジスタと第 2 の P チャンネル形 MOS トランジスタとを含み、前記第 1 のインバータの出力端子に入力端子が接続され、前記第 1 のインバータの入力端子に出力端子が接続された第 2 のインバータと、

前記第 1 のインバータの出力端子にドレインが接続され、第 1 のビット線にソースが接続され、ワード線にゲートが接続された第 3 の P チャンネル形 MOS トランジスタと、

前記第 2 のインバータの出力端子にドレインが接続され、第 2 のビット線にソースが接続され、ワード線にゲートが接続された第 4 の P チャンネル形 MOS トランジスタとを備え、

前記第 1 及び第 2 の N チャンネル形 MOS トランジスタと前記第 1、第 2、第 3 及び第 4 の P チャンネル形 MOS トランジスタのそれぞれのソース・ドレインの配置方向が前記第 1 及び第 2 の N チャンネル形 MOS トランジスタが形成された P ウェル領域と前記第 1、第 2、第 3 及び第 4 の P チャンネル形 MOS トランジスタが形成された N ウェル領域との境界線と平行になるように設定されていることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体記憶装置に関し、特に CMOS 構成の SRAM (static random access memory) セルのレイアウトに関するものである。

【0002】

【従来の技術】CMOS 構成の SRAM は、論理 IC に混載される記憶装置として幅広く用いられている。この記憶装置を構成する記憶要素として、最も基本的なものが図 16 に示された 1 ポートメモリセル (SRAM セル) であり、6 個のトランジスタで構成されている。

【0003】P チャンネル形 MOS トランジスタ P1 及び N チャンネル形 MOS トランジスタ N1 で、等価回路を示した図 17 におけるインバータ IN2 が構成され、P チャンネル形 MOS トランジスタ P2 及び N チャンネル形 MO

S トランジスタ N2 でインバータ IN1 が構成されている。このように、インバータ IN1 及び IN2 は、入力端子が相互に交差接続された関係にある。インバータ IN1 の出力端子及びインバータ IN2 の入力端子は、トランスファゲートトランジスタ N3 を介してビット線 BL に接続され、インバータ IN1 の入力端子及びインバータ IN2 の出力端子は、トランスファゲートトランジスタ N4 を介してビット線 /BL に接続されており、さらにトランジスタ N3 及び N4 のゲートはワード線 WL に接続されている。

【0004】このような 6 トランジスタメモリセルは、従来は図 10 及び図 11 に示されたようなレイアウトで配置されていた。ここで、図 10 は基板表面上に形成されたトランジスタを構成する拡散層と、その上面に形成された多結晶シリコン配線層、さらにその上面に形成された 1 層目の金属配線層 1 を含む下地を示し、図 11 はさらにその上面に形成された 2 乃至 3 層目の金属配線層 2、3 を含む上地を示している。図 10 及び図 11 で用いられているコンタクトやヴィアホールの記号は図 12 (a) に、図 10 で用いられる拡散層、多結晶シリコン膜、金属配線層 1 の記号は図 12 (b) に、図 11 で用いられる金属配線層 2、3 の記号は図 12 (c) に示されるようである。

【0005】図 11 に示されたワード線 WL に平行に、図 10 に示された P チャンネル形 MOS トランジスタ P1 及び P2 を形成する N ウェル領域と、N チャンネル形 MOS トランジスタ N1 ~ N4 を形成する P ウェル領域との境界線 BL11 が存在する。この境界線 BL11 に平行な線 A-A の上部は、トランジスタ P1 のゲートに接続された多結晶シリコン配線層 PL11 と、トランジスタ P2 のゲートに接続された多結晶シリコン配線層 PL12 とが、並進対称に配置されている。

【0006】さらに、線 A-A の下部は、トランジスタ N1 及び N3 を構成する拡散層 DR11 と、トランジスタ N2 及び N4 を構成する拡散層 DR12 とが、ワード線 WL に直交する y 軸に鏡映対象に配置されている。

【0007】図 10 から明らかなように、このレイアウトでは、接地線 GND とワード線 WL とが金属配線層 3 により形成され、ビット線 BL 及び /BL が金属配線層 2 で形成されていることを除いて、他の全ては多結晶シリコン配線層 PL11、PL12 と金属配線層 1 で構成されている。また、多結晶シリコン配線層 PL11、PL12 で構成されるワード線 WL は当該メモリセルの領域を横断して隣接する他のメモリセルのワード線 WL と接続するので、金属配線層 3 は機能上は不要である。さらに、接地線 GND をビット線 BL 及び /BL と平行に金属配線層 2 により構成することもできる。従って、図 10 及び図 11 に示されたレイアウトは、多結晶シリコン配線層 PL11、PL12 及び金属配線層 1 及び 2 で構成することも可能である。

【0008】このような従来のレイアウトは、プロセス技術により限定される設計基準（デザインルール）が、以下のような条件を満たすように最小面積で構成されていた。

（a1）金属配線層の層数が1層ないし2層までである。

（a2）金属配線層の最小線幅と最小間隔の設計基準が、多結晶シリコン層のものより大きい（約2倍）。

（a3）拡散層又は多結晶シリコン配線層と金属配線層1との開口部であるコンタクトホールと、金属配線層1と金属配線層2との間の開口部である第1スルーホール又は第1ビアホールとが、上下方向に直接重なることがないようにする。また、コンタクトホールの面積が、通常の金属配線層の最小線幅の約2倍と大きいので、セル内には多くのコンタクトホールやスルーホールを設けないようにしてセル面積が増大するのを防止する。

（a4）Pチャネル形MOSトランジスタとNチャネル形MOSトランジスタとの間には、Nウエル領域とPウエル領域との間の境界が存在し、このような導電型の異なるウエル領域の分離には、LOCOS法による素子分離を行っている。従って、Pウエル領域とNウエル領域との分離幅は、同一導電型のウエル領域の素子分離幅に比べて著しく大きく（約4倍）とる必要がある。

【0009】以上のような条件を満たす必要があるため、以前は配線は極力多結晶シリコン膜により構成し、Pウエル領域とNウエル領域との分離領域において複雑な配線の交差接続を行うなどの無駄な領域の有効活用が必要であった。

【0010】しかし、近年のプロセス技術の進歩により、設計基準において次のような変化が生じてきた。

【0011】先ず、化学機械研磨技術（CMP）の実用化に伴い、金属配線層を平坦化する技術が進歩したことにより、

（b1）金属配線層を3層、4層まで増加させても、歩留まりの著しい低下を招くことがない。

（b2）金属配線層の最小線幅及び最小間隔の設計基準が、多結晶シリコン層と大差なくなった。

（c2）ボードレスコンタクト技術が導入され、コンタクト部の面積が金属配線層の最小線幅と同一の設計基準で形成することが可能になった。さらに、コンタクトホール、スルーホールを、直接上下に重ねて形成するスタックトビア構造が可能となった。

【0012】さらに、素子分離を行う際に、LOCOS法からトレンチ分離法（STI）に進歩したことにより、

（c1）Pウエル領域とNウエル領域との分離幅が、同一導電型のウエル領域（Pウエル領域とPウエル領域、Nウエル領域とNウエル領域）の素子分離幅とほぼ同一になった。

【0013】このようなプロセス技術の進歩があると、

図10及び図11に示されたようなレイアウトは、最適な配置がなされているとは言えない。例えば、多結晶シリコン配線層PL11及びPL12は、それぞれT字型の形状をして相互に並進対象に配置されており、無駄な領域が大きい。また、Nチャネル形MOSトランジスタN1とNチャネル形MOSトランジスタN3とが相互に直交するように配置されるため、拡散層がL字型に折れ曲がっており、やはりセル面積に無駄が生じている。

【0014】図10及び図11に示されたレイアウトを改善したものを、図13及び図14に示す。基本的なトランジスタN1～N4、P1～P2の配置、及び幾何学的形状は、図10及び図11のものと同様である。相違点は、図10及び図11に示されたレイアウトでは交差接続していた多結晶シリコン層PL11及びPL12を、金属配線層2に替えて構成している点にあり、この変更に伴いビット線BL及び／BLと接地線GNDとを金属配線層3により構成している。この図13及び図14に示されたレイアウトによれば、図10及び図12に示されたものより約10%面積が減少する。

【0015】しかし、図13及び図14のレイアウトにおいても、トランジスタN1とN3、トランジスタN2とN4をそれぞれ構成する拡散層がL字型の形状とならざるを得ず、セル面積に無駄が生じていた。

【0016】

【発明が解決しようとする課題】上述のように、従来のSRAMセルのレイアウトには拡散層がL字型の形状となるなど幾何学的形状に無駄があり、素子面積が大きいという問題があった。

【0017】本発明は上記事情に鑑みてなされたもので、トレンチ素子分離技術やスタックトビア構造等の最新のプロセス技術を用いて3層以上の金属配線層構造とすることにより、素子面積を縮小することが可能な半導体記憶装置のレイアウト構造を提供することを目的とする。

【0018】

【課題を解決するための手段】本発明の半導体記憶装置は、第1のNチャネル形MOSトランジスタと第1のPチャネル形MOSトランジスタとを含む第1のインバータと、第2のNチャネル形MOSトランジスタと第2のPチャネル形MOSトランジスタとを含み、前記第1のインバータの出力端子に入力端子が接続され、前記第1のインバータの入力端子に出力端子が接続された第2のインバータと、前記第1のインバータの出力端子にソースが接続され、第1のビット線にドレインが接続され、ワード線にゲートが接続された第3のNチャネル形MOSトランジスタと、前記第2のインバータの出力端子にソースが接続され、第2のビット線にドレインが接続され、前記ワード線にゲートが接続された第4のNチャネル形MOSトランジスタとを備え、前記第1、第2、第3及び第4のNチャネル形MOSトランジスタと前記第

1 及び第 2 の P チャンネル形 MOS トランジスタのそれぞれのソース・ドレインの配置方向が、前記第 1、第 2、第 3 及び第 4 の N チャンネル形 MOS トランジスタが形成された P ウェル領域と前記第 1 及び第 2 の P チャンネル形 MOS トランジスタが形成された N ウェル領域との境界線と平行になるように設定されていることを特徴としている。

【0019】ここで、前記 P ウェル領域は、第 1、第 2 のウェル領域から成り、前記第 1、第 2 の P チャンネル形 MOS トランジスタが配置された N ウェル領域の両側に、この第 1、第 2 の P ウェル領域が配置されており、前記第 1 の P ウェル領域に前記第 1、第 3 の N チャンネル形 MOS トランジスタが形成され、前記第 2 の P ウェル領域に前記第 2、第 4 の N チャンネル形 MOS トランジスタが形成されていてもよい。

【0020】また、前記第 3 の N チャンネル形 MOS トランジスタのゲートに用いられる第 1 の多結晶シリコン配線層と、前記第 1 の N チャンネル形 MOS トランジスタのゲートと前記第 1 の P チャンネル形 MOS トランジスタのゲートとに用いられる第 2 の多結晶シリコン配線層とが平行に配置され、前記第 4 の N チャンネル形 MOS トランジスタのゲートに用いられる第 3 の多結晶シリコン配線層と、前記第 2 の N チャンネル形 MOS トランジスタのゲートと前記第 2 の P チャンネル形 MOS トランジスタのゲートとに用いられる第 4 の多結晶シリコン配線層とが平行に配置され、前記第 1 の多結晶シリコン配線層と前記第 3 の多結晶シリコン配線層とは分離して形成され、前記ワード線を構成する金属配線層とコンタクトを介して電気的に接続されていてもよい。

【0021】また、前記第 1、第 2、第 3 及び第 4 の N チャンネル形 MOS トランジスタと前記第 1 及び第 2 の P チャンネル形 MOS トランジスタのそれぞれのソース・ドレインの配置方向が、前記ビット線に平行になるように設定されていてもよい。

【0022】あるいは、前記第 2 の多結晶シリコン配線層と前記第 3 の多結晶シリコン配線層とは前記ワード線方向に沿って一直線上に並ぶように配置され、前記第 1 の多結晶シリコン配線層と前記第 4 の多結晶シリコン配線層とは前記ワード線方向に沿って一直線上に並ぶように配置されていてもよい。

【0023】前記第 1 の N チャンネル形 MOS トランジスタと前記第 3 の N チャンネル形 MOS トランジスタとは、前記第 1 の P ウェル領域内の同一の拡散層に形成され、前記第 2 の N チャンネル形 MOS トランジスタと前記第 4 の N チャンネル形 MOS トランジスタとは、前記第 2 の P ウェル領域内の同一の拡散層に形成されていてもよい。

【0024】また、前記第 1、第 3 の N チャンネル形 MOS トランジスタ及び前記第 1 の P チャンネル形 MOS トランジスタと、前記第 2、第 4 の N チャンネル形 MOS トランジスタ及び前記第 1 の P チャンネル形 MOS トランジスタ

とは、メモリセルの中心に対して点対称の関係になるように配置されるのが望ましい。

【0025】前記第 1、第 2 のビット線と、前記第 1、第 2 の P チャンネル形 MOS トランジスタのソースに接続された電源線とが第 2 層金属配線層で構成され、前記ワード線と前記第 1、第 2 の N チャンネル形 MOS トランジスタのソースに接続された接地線とが第 3 層金属配線層で構成されてもよい。

【0026】前記第 3 の N チャンネル形 MOS トランジスタのゲートに用いられる第 1 の多結晶シリコン配線層と、前記第 1 の N チャンネル形 MOS トランジスタのゲートと前記第 1 の P チャンネル形 MOS トランジスタのゲートとに用いられる第 2 の多結晶シリコン配線層とが平行に配置され、前記第 4 の N チャンネル形 MOS トランジスタのゲートに用いられる第 3 の多結晶シリコン配線層と、前記第 2 の N チャンネル形 MOS トランジスタのゲートと前記第 2 の P チャンネル形 MOS トランジスタのゲートとに用いられる第 4 の多結晶シリコン配線層とが平行に配置され、前記ワード線が第 1、第 2 の金属配線層に分離して形成され、前記第 1 の多結晶シリコン配線層と前記第 3 の多結晶シリコン配線層とは分離して形成されており、金属配線層とコンタクトを介して、前記第 1、第 2 の金属配線層にそれぞれ電気的に接続されるようにレイアウトすることもできる。

【0027】前記第 1、第 2 のビット線にはそれぞれ独立して第 1、第 2 のセンスアンプが接続されており、書き込み時には、同一セル内の前記第 1、第 2 のワード線が同時に選択され、読み出し時には、前記第 1、第 2 のワード線が独立して異なるセルを選択し、前記第 1、第 2 のビット線を介して前記第 1、第 2 のセンスアンプからそれぞれのセルから読み出されたデータを出力するようにすることもできる。

【0028】上記発明ではいずれも第 1、第 2 のインバータと第 1、第 2 のビット線との間のトランジスタに N チャンネル形 MOS トランジスタを用いているが、P チャンネル形 MOS トランジスタを用いて構成してもよい。

【0029】

【発明の実施の形態】以下に、本発明の一実施の形態について図面を参照して説明する。本発明の第 1 の実施の形態による半導体記憶装置を構成する SRAM セルのレイアウトを、図 1 及び図 2 に示す。図 1 に、半導体基板表面に形成された拡散層と、その上面に形成された多結晶シリコン膜、金属配線層 1 を含む下地を示し、図 2 にその上面に形成された金属配線層 2 及び 3 を含む上地を示す。図 3 (a) の各種記号は、図 1 及び図 2 において用いられているセル境界線、コンタクト及びビア 1、2 を示し、図 3 (b) の記号は拡散層、多結晶シリコン膜、金属配線層 1、図 3 (c) の記号は金属配線層 2、3 をそれぞれ示す。

【0030】図 1 のように、中央に P チャンネル形 MOS

トランジスタ P 1 及び P 2 が形成された N ウエル領域が配置され、その両側に N チャネル形 MOS トランジスタ N 1 及び N 3 が形成された P ウエル領域と N チャネル形 MOS トランジスタ N 2 及び N 4 が形成された P ウエル領域とが配置されている。

【 0 0 3 1 】ワード線 W L に接続されるワード線トランジスタ N 3 のゲートとトランジスタ N 4 のゲートとは、分離した多結晶シリコン配線層により構成されており、金属配線層 3 で形成されたワード線 W L にはスタックトビアを介してそれぞれ別に接続されている。図 2 に示されたように、ビット線 B L 及び / B L は金属配線層 2 でそれぞれ別々に形成されている。電源線 V d d は、ビット線 B L 及び / B L の間の中央部に金属配線層 2 によりビット線に平行に形成されている。ワード線 W L は、ビット線 B L 及び / B L に直交する方向に金属配線層 3 で形成され、接地線 G N D はワード線 W L の両側に平行に 2 本の金属配線層 3 で形成されている。また、P ウエル領域の基板へのコンタクトは、コンタクト + ヴィア 1 + ヴィア 2 から成るスタックトビア構造により、接地された金属配線層 3 から P ウエル領域内の拡散層まで電気的に接続されている。

【 0 0 3 2 】図 1 0 及び図 1 1、又は図 1 3 及び図 1 4 に示された従来のレイアウトでは、N ウエル領域と P ウエル領域との境界線 B L 1 1、B L 1 2 が、ビット線 B L 及び / B L と直交するように走っていた。これに対し、第 1 の実施の形態におけるレイアウトは、N ウエル領域と P ウエル領域の境界線 B L 1、B L 2 が、ビット線 B L 及び / B L に平行に走っている点に特徴がある。これにより、導電型の異なるウエル領域の境界線を挟んでインバータを構成する P チャネル形 MOS トランジスタ P 1 と N チャネル形 MOS トランジスタ N 1 を、トランスファゲートトランジスタの N チャネル形 MOS トランジスタ N 3 と平行に位置するように配置することができる。この結果、トランジスタ N 1 及び N 3 が形成された P ウエル領域内の N 型拡散層 N D 1 と、トランジスタ N 2 及び N 4 が形成された N 型拡散層 N D 2 とを、折り曲げること無くビット線 B L 及び / B L に平行に直線状に形成することができ、無駄な領域の発生を防止することができる。

【 0 0 3 3 】さらに、本実施の形態では、トランジスタ P 1 とトランジスタ N 1 から成る一方のインバータ及びトランスファゲートトランジスタ N 3 と、トランジスタ P 2 とトランジスタ N 2 から成る他方のインバータ及びトランスファゲートトランジスタ N 4 とが、S R A M セルの中心に対して点対称に配置されている点にも特徴がある。このように配置することで、2 つのインバータを交差接続する配線において、トランジスタ P 1、P 2、N 1 及び N 2 のゲート、ドレインを内部接続する配線を空間を交差するように接続する必要がなくなり、配線領域を削減することができる。

【 0 0 3 4 】また、トランジスタ N 1 及び P 1 の多結晶シリコン配線層 P L 1 とトランジスタ N 4 の多結晶シリコン配線層 P L 2 とをワード線 W L に平行に一直線上に配置し、同様にトランジスタ N 3 及び P 2 の多結晶シリコン配線層 P L 2 とトランジスタ N 2 の多結晶シリコン配線層 P L 4 とをワード線 W L に平行に一直線上に配置することができる。即ち、全ての多結晶シリコン配線層 P L 1 ~ P L 4 と金属配線層 2 及び 3 とは平行であり、拡散層 N D 1 及び N D 2 はこれに直交するように配置されており、従来存在していた折れ曲がり部の形成が不要である。

【 0 0 3 5 】ところで、このレイアウトでは図 1 に示されたように、二つの P ウエル領域と N ウエル領域との間に分離領域が 2 箇所存在する。しかし、トレンチ素子分離技術を用いることで、導電型の異なるウエル領域間の素子分離幅を、導電型が同一のウエル領域間の素子分離幅とほぼ同程度にまで縮小することができるため、セル面積の増大が抑制される。この結果、本実施の形態によれば図 1 0 及び 1 1 に示された従来の場合よりも約 3 5 % 面積を縮小することが可能である。

【 0 0 3 6 】また、第 1 の実施の形態によれば、セル面積が縮小されるのみならず、以下のような理由によりノイズが低減されるという効果も得られる。本実施の形態によるレイアウトでは、セルの横方向 (x 方向) の長さ、即ちワード線 W L 方向の長さが、縦方向 (y 方向) の長さ、即ちビット線 B L 及び / B L の長さに対して相対的に長い。これにより、セルの x 方向のピッチ間にそれぞれ配置され、ビット線 B L 及び / B L に接続されるセンスアンプのレイアウトが容易になる。

【 0 0 3 7 】さらに、セル形状が y 方向より相対的に x 方向に長いことで、ワード線 W L 方向に接続されるセルの数が従来のレイアウトよりも減少する。1 本のワード線に接続されるセルの数が少ないほど読み出し時に流れるセル電流は減少する。従って、本実施の形態によれば消費電力を低減することができる。

【 0 0 3 8 】また、論理 I C ではメモリセル上に 4 層目の金属配線層を用いてバスラインを走らせる場合が多いが、以下の理由によりセル当たりのビット線 B L 及び / B L 方向の配線リソースを多く得られるという効果も奏する。即ち、メモリセル上にバスラインが走る場合、ビット線 B L、/ B L とバスラインとが上下に平行して長い距離を走るように配置すると、バスラインの信号変化が容量結合ノイズとなってビット線 B L、/ B L に重畳し、誤動作を発生させる。本実施の形態では、ビット線 B L、/ B L の真上をはずしてビット線 B L、/ B L に平行にバスラインを平行に配置することでこのような誤動作を防止することができる。また、ビット線 B L、/ B L が金属配線層 2 で構成されており、メモリセル上を走る金属配線層 4 で構成されたバスラインとの間に、金属配線層 3 から成る接地線 G N D とワード線 W L が存在

しており、これが金属遮蔽層として作用する。このため、誤動作の発生を確実に防止することが可能である。

【0039】本発明の第2の実施の形態による半導体記憶装置のレイアウトは、図4及び図5に示されるようであり、用いられている記号を図6(a)～(c)に示す。

【0040】本実施の形態は、上記第1の実施の形態と比較して、金属配線層3で形成されたワード線WLから多結晶シリコン配線層へコンタクトをとる領域をPウエル領域に設けており、さらに金属配線層2から成る接地線GNDと電源線Vddをビット線BL及び／BLに平行に設けている点が相違する。この実施の形態によるレイアウトは、ウエル領域の分離幅が素子分離幅よりも比較的大きい場合に好適であり、上記第1の実施の形態における上記効果に加えて、次のような本実施の形態特有の効果が得られる。

【0041】電源線Vddと接地線GNDがワード線WLと平行に配置されている場合は、選択されたワード線に接続された全てのセルを流れる電流が1本の電源線Vdd及び接地線GNDに流れ込む。これに対し、本実施の形態のように、電源線Vddと接地線GNDをビット線BL及びBLに平行に走らせることで、セルの読み出し又は書き込み時に電源線Vdd及び接地線GNDに流れる電流を、当該セル一つに限定することができる。この結果、第2の実施の形態によれば上記第1の実施の形態よりも、電源線Vdd及び接地線GNDのエレクトロマイグレーション及び電圧降下に対する動作マージンを大きくとることが可能である。

【0042】次に、本発明の第3の実施の形態による半導体記憶装置のレイアウトについて、図7～図9を用いて説明する。上記第2の実施の形態と比較し、金属配線層3で構成された2本のワード線WL1、2が設けられ、さらにトランジスタN3のゲートとトランジスタN4のゲートとがそれぞれ異なるワード線WL1、2に接続されている点が相違する。このようにワード線WL1、2を2本設けたことにより、1つのセル内で独立してトランジスタN3とN4とを制御することが可能になり、1組のビット線対BL、／BLに異なるセルからのデータを読み出すことが可能になる。従って、ビット線BLとビット線／BLとに1つずつセンスアンプを接続することで、シングルエンドの読み出しではあるが2ポートメモリとしての読み出しが可能になる。書き込み時には、ワード線WL1及びWL2とで同一セルを選択して、1ポートメモリとして動作させる。このようにして、本実施の形態では通常の1ポートメモリと同一のセル面積により、読み出し時には2ポートメモリ、書き込み時には1ポートメモリを実現することができる。

【0043】上述した実施の形態は、いずれも一例であって本発明を限定するものではない。例えば、上記第1乃至第3の実施の形態による半導体記憶装置では、い

れも図16及び17に示されたように、トランスファゲートトランジスタがNチャネル形MOSトランジスタN3及びN4で構成されている。しかし、図21及び図22のように、トランスファゲートトランジスタをPチャネル形MOSトランジスタP3及びP4で構成し、1つのSRAMセルを4つのPチャネル形MOSトランジスタP1～P4と2つのNチャネル形MOSトランジスタN1～N2で構成してもよい。この場合には、レイアウトとしては下地においてPウエル領域を中央部に配置し、その両側に二つのNウエル領域を配置し、上地において電源線Vddと接地線GNDとを入れ替えばよい。

【0044】例えば、上記第1の実施の形態におけるトランスファゲートトランジスタをPチャネル形MOSトランジスタP3及びP4で構成した場合のレイアウトは、図18及び図19に示されるようである。上地において、1つのPウエル領域にNチャネル形MOSトランジスタN1及びN2が形成され、その両側にPチャネル形MOSトランジスタP1及びP3が形成されたNウエル領域と、Pチャネル形MOSトランジスタP2及びP4が形成されたNウエル領域とが配置されており、下地では電源線Vddと接地線GNDとが入れ替わっている。同様に、上記第2及び第3の実施の形態に対しても、トランスファゲートトランジスタをPチャネル形MOSトランジスタで構成することが可能である。

【0045】

【発明の効果】以上説明したように、本発明の半導体記憶装置によれば、メモリセルを構成するインバータが形成されたPウエル領域とNウエル領域の境界線がビット線に平行に配置されることで、Pウエル領域又はNウエル領域内の拡散層の形状及び2つのインバータの交差接続部の形状を折れ曲り部のない簡易なものとしことができ、セル面積を縮小することが可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による半導体記憶装置における下地のレイアウトを示した平面図。

【図2】同半導体記憶装置における上地のレイアウトを示した平面図。

【図3】図1、図2において用いられるコンタクト、ヴィア、拡散層、及び配線層の各種記号を示した説明図。

【図4】本発明の第2の実施の形態による半導体記憶装置における下地のレイアウトを示した平面図。

【図5】同半導体記憶装置における上地のレイアウトを示した平面図。

【図6】図4、図5において用いられるコンタクト、ヴィア、拡散層、及び配線層の各種記号を示した説明図。

【図7】本発明の第3の実施の形態による半導体記憶装置における下地のレイアウトを示した平面図。

【図8】同半導体記憶装置における上地のレイアウトを示した平面図。

【図9】図7、図8において用いられるコンタクト、ヴィア、拡散層、及び配線層の各種記号を示した説明図。

イア、拡散層、及び配線層の各種記号を示した説明図。

【図10】従来の半導体記憶装置における下地のレイアウトを示した平面図。

【図11】同半導体記憶装置における上地のレイアウトを示した平面図。

【図12】図10、図11において用いられるコンタクト、ビア、拡散層、及び配線層の各種記号を示した説明図。

【図13】従来の他の半導体記憶装置における下地のレイアウトを示した平面図。

【図14】同半導体記憶装置における上地のレイアウトを示した平面図。

【図15】図13、図14において用いられるコンタクト、ビア、拡散層、及び配線層の各種記号を示した説明図。

【図16】SRAMセルの構成を示した回路図。

【図17】同SRAMセルの電氣的に等価な回路構成を示した回路図。

【図18】本発明の第4の実施の形態による半導体記憶装置における下地のレイアウトを示した平面図。

【図19】同半導体記憶装置における上地のレイアウトを示した平面図。

【図20】図18、図19において用いられるコンタクト、ビア、拡散層、及び配線層の各種記号を示した説明図。

【図21】本発明の第4の実施の形態による半導体記憶装置におけるSRAMセルの回路構成を示した回路図。

【図22】同SRAMセルの電氣的に等価な回路構成を示した回路図。

10 【符号の説明】

BL1~BL8 ビット線

WL、WL1、WL2 ワード線

GND 接地線

Vdd 電源線

N1~N4 Nチャネル形MOSトランジスタ

P1~P4 Pチャネル形MOSトランジスタ

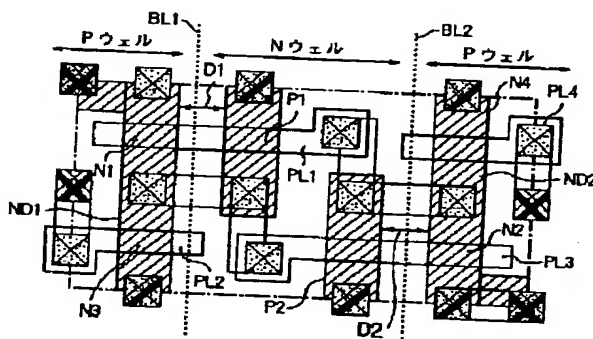
IN1、IN2 インバータ

ND1、ND2 拡散層

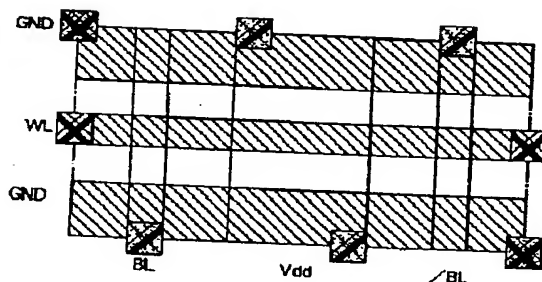
PL1、PL2 多結晶シリコン配線層

20

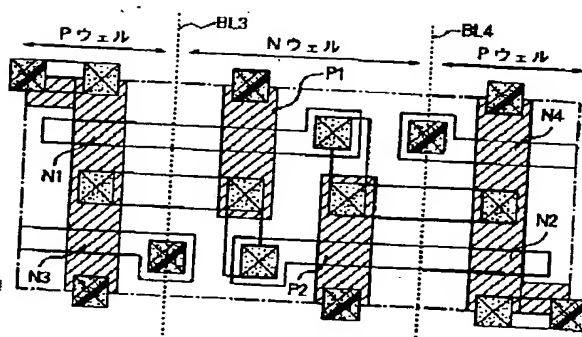
【図1】



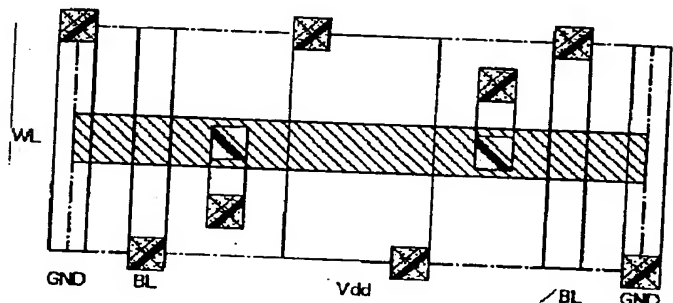
【図2】



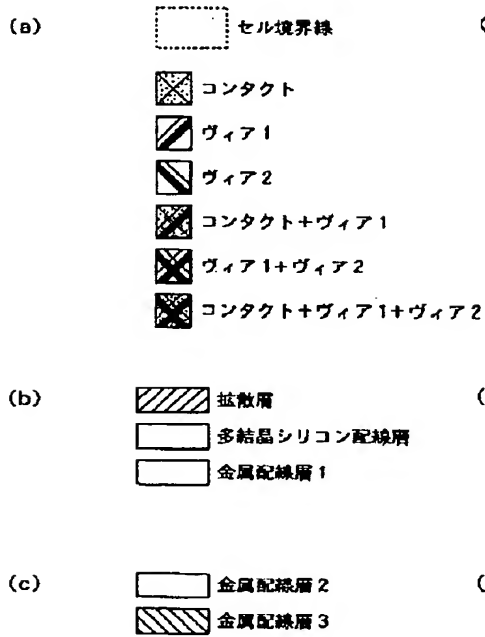
【図4】



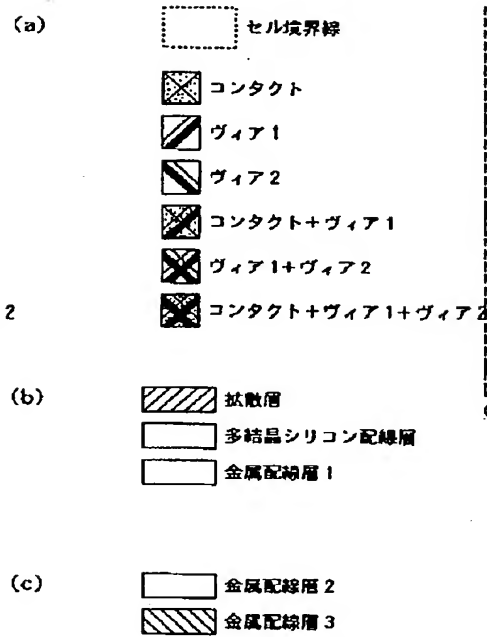
【図5】



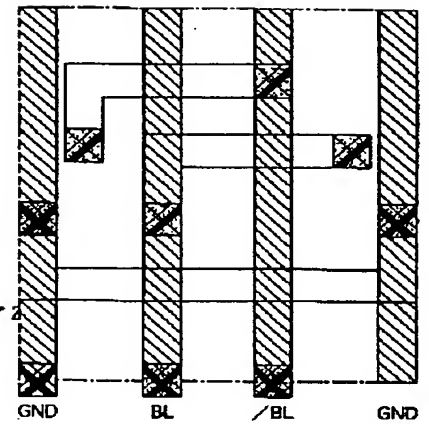
【図 3】



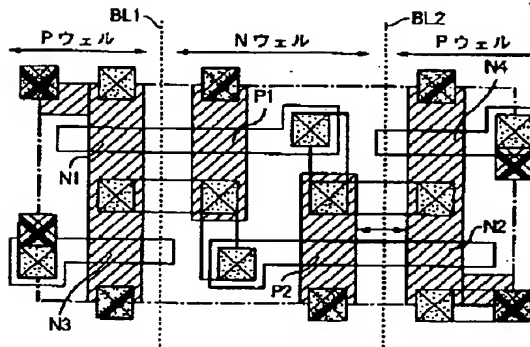
【図 6】



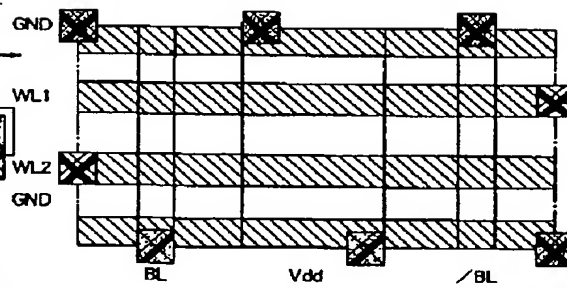
【図 14】



【図 7】

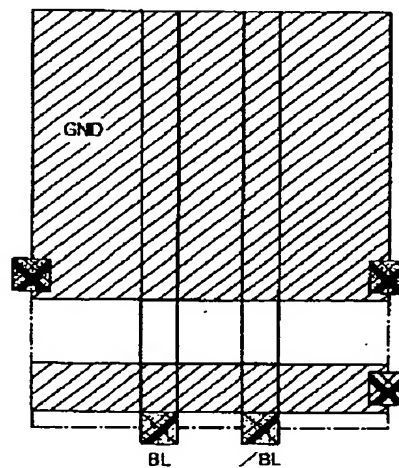
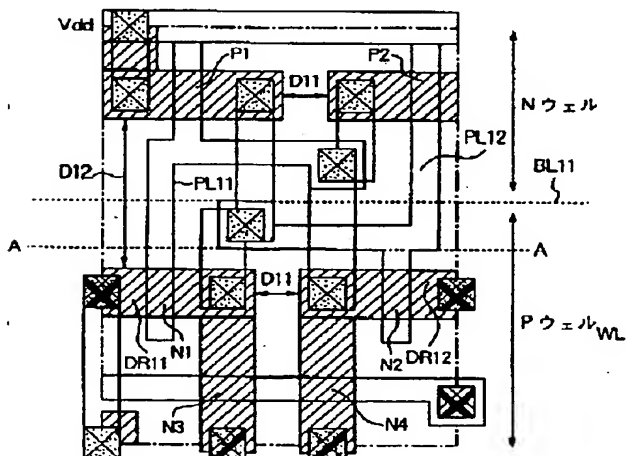


【図 8】

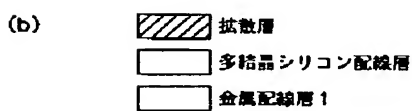
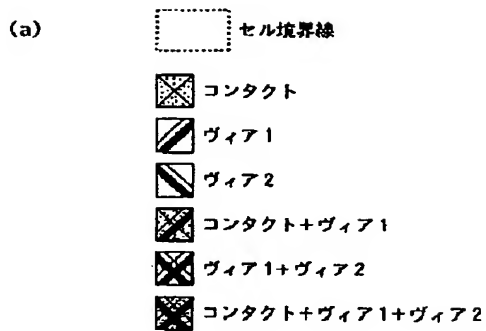


【図 11】

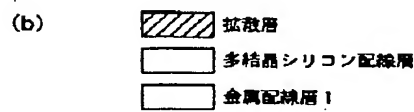
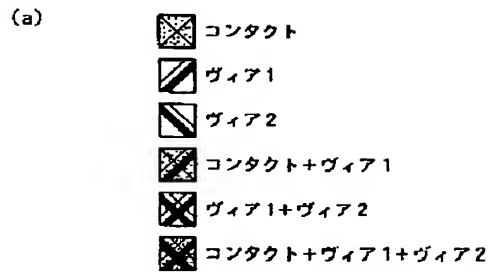
【図 10】



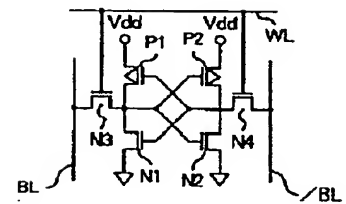
【図 9】



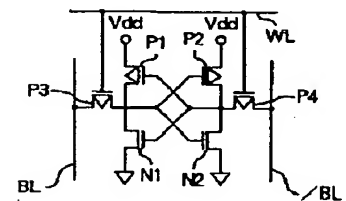
【図 12】



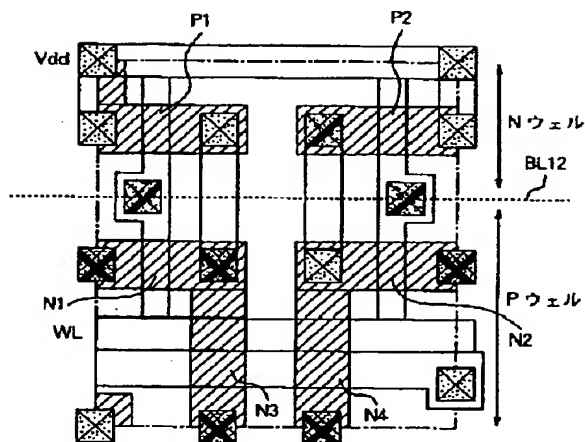
【図 16】



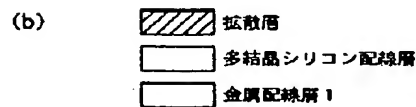
【図 21】



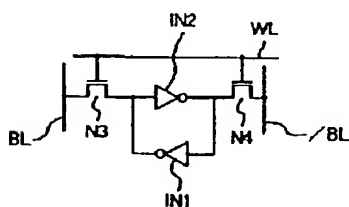
【図 13】



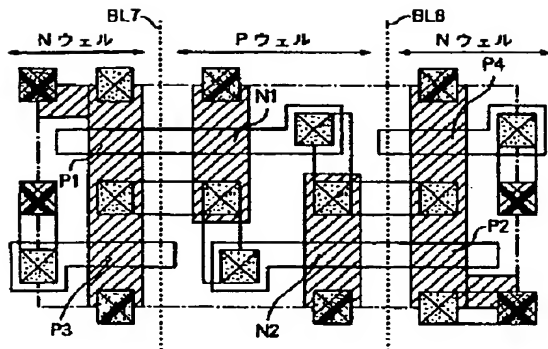
【図 15】



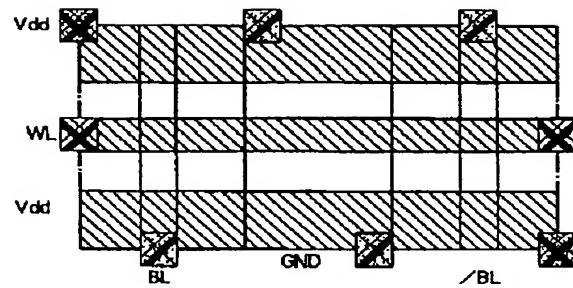
【図 17】



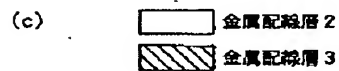
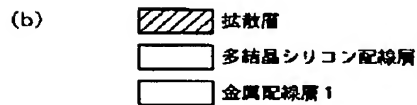
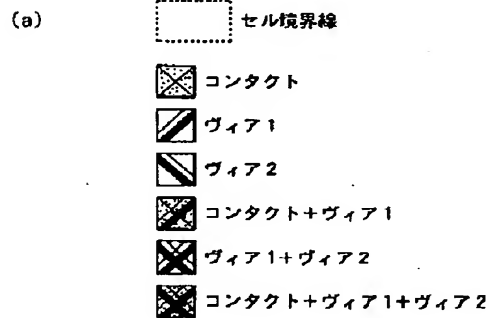
【図 18】



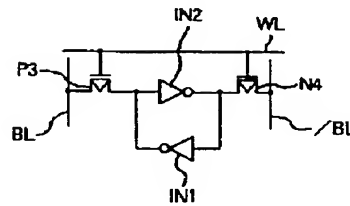
【図 19】



【図 20】



【図 22】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.